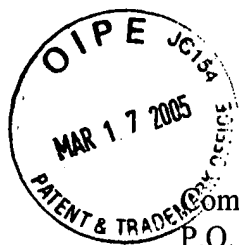


DFW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450,  
Alexandria, VA 22313-1450 on March 14, 2005  
(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee

Signature

March 14, 2005

Date of Signature

Re:	Application of:	Herzum et al.
	Serial No.:	10/821,251
	Filed:	April 8, 2004
	For:	Method for Producing a Gate Structure for an MOS Transistor
	Group Art Unit:	2812
	Confirmation No.:	8391
	Examiner:	Walter Lee Lindsay, Jr.
	Our Docket No.:	1890-0074

**SUBMISSION OF PRIORITY DOCUMENT**

Please find for filing in connection with the above patent application a certified copy of the priority document, Certified Copy of German Application Number 101 49 541.2.

Please charge any fee deficiency or credit any overpayment to Deposit Account  
No. 13-0014.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'H. Moore', written over a horizontal line.

March 14, 2005

Harold C. Moore  
Registration No. 37,892  
Maginot, Moore & Beck  
Bank One Center/Tower  
111 Monument Circle, Suite 3000  
Indianapolis, IN 46204-5115

Enclosures

TRANSLATION FROM THE GERMAN LANGUAGE

**FEDERAL REPUBLIC OF GERMANY**



**Priority certificate of filing a patent application**

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

File number	:	101 49 541.2
Application date	:	October 8, 2001
Applicant/Proprietor	:	Infineon Technologies AG, 81669 Munich/ Germany
Title	:	METHOD FOR PRODUCING GATE STRUCTURE FOR AN MOS TRANSISTOR
IPC	:	H 01 L 21/336

The enclosed documents are the correct and exact reproduction of the originally filed patent application.

Munich, April 8, 2004

The President of the German Patent and Trademark Office

By Order

/Signature/

Patentanwälte · Postfach 710867 · 81458 München  
**Infineon Technologies AG**  
**St.-Martin-Str. 53**

**81669 München**

## PATENTANWÄLTE

European Patent Attorneys  
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.  
Tankred Zimmermann, Dipl.-Ing.  
Ferdinand Stöckeler, Dipl.-Ing.  
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0  
Telefax/Facsimile 089/790 22 15  
Telefax/Facsimile 089/74996977  
e-mail: szsz\_iplaw@t-online.de

---

### **Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor**

---

## Beschreibung

Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor und insbesondere einen MOS-Transistor, dessen Gateoxid zwischen Source-Bereich und Drain-Bereich einen rampenförmigen Verlauf besitzt.

10

Die Herstellung eines MOS-Transistors erfolgt in bekannter Weise grundsätzlich dadurch, daß auf einem später zwischen einem Source-Bereich und einem Drain-Bereich angeordneten Kanalbereich eine Gate-Struktur erzeugt wird. Zur Erzeugung der Gate-Struktur wird als Dielektrikum eine  $\text{SiO}_2$ -Schicht (Gateoxid) erzeugt oder abgeschieden, auf der eine Polysiliziumschicht als Gateelektrodenschicht erzeugt wird.

15

Für bestimmte Anwendungen, beispielsweise LDMOS-Transistoren, kann es von Vorteil sein, daß das Dielektrikum der Gateelektrode, d.h. das Gateoxid, an der Source-Seite eine geringere Dicke aufweist als an der Drain-Seite. Dies verknüpft die Forderung nach einem niedrigen Widerstand  $R_{\text{on}}$  (d.h. einem möglichst dünnen Gateoxid) auf der Source-Seite und nach einer hohen Spannungsfestigkeit, d.h. einem möglichst dicken Gateoxid, auf der Drain-Seite. Um ein solches Gateoxid zu realisieren, wurde bisher eine "Oxidrampe" hergestellt und anschließend die Gateelektrode auf dieser Rampe justiert. Da dieses Verfahren nicht selbstjustiert ist, ergeben sich Einschränkungen aufgrund der begrenzten Justiermöglichkeiten des Belichtungsequipments für die Strukturierung der abgeschiedenen Polysiliziumschicht, aus der die Gateelektrode erzeugt wird.

20

25

30

Die Aufgabe der vorliegenden Erfindung besteht darin, ein verbessertes Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor zu schaffen, dessen Gateoxid durch  
5 eine Oxidrampe gebildet ist.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 gelöst.

10 Die vorliegende Erfindung schafft ein Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor, mit folgenden Schritten:

Erzeugen einer Schichtfolge aus einer Oxidschicht, einer  
15 Hilfsschicht und einer Maskenschicht auf einem Substrat, wobei die Hilfsschicht und die Maskenschicht strukturiert sind, um eine Kante festzulegen, die einen von diesen Schichten bedeckten Bereich der Oxidschicht von einem freiliegenden Bereich derselben trennt;

20 Durchführen einer Oxidation zum Erzeugen einer Oxidrampe im Bereich der Kante;

teilweises Entfernen der Hilfsschicht zur Erzeugung eines  
25 Hohlraums vorbestimmter Länge zwischen der Oxidschicht und der Maskenschicht; und

Einbringen eines Gateelektrodenmaterials in den Hohlraum zum Erzeugen einer Gateelektrode.

30 Bei dem erfindungsgemäßen Verfahren entsteht durch den Schritt des Oxidierens an der Kante der Hilfsschicht, die an die Oxidschicht grenzt, ein sogenannter Vogelschnabel, d.h.

ein Bereich mit stetig ansteigender Oxiddicke, der auch als Oxidrampe bezeichnet werden kann. Die vorliegende Erfindung nutzt nun die Tatsache aus, daß die Oxidrampe zumindest teilweise unter der Hilfsschicht und der Maskenschicht, die die Oxidschicht bedecken, erzeugt wird, um eine selbstjustierte Erzeugung einer Gateelektrodenschicht zu realisieren. Zu diesem Zweck wird die Kante sozusagen als "Justiermerkmal" verwendet, indem ausgehend von der Kante durch Entfernen der Hilfsschicht ein Hohlraum vorbestimmter Länge erzeugt wird, in den das Gateelektrodenmaterial eingebracht wird, um die Gateelektrode zu erzeugen. Somit ist die Gateelektrode relativ zu der Kante und somit relativ zu der Oxidrampe, die eine definierte Positionsbeziehung bezüglich der Kante aufweist, justiert.

Gemäß der vorliegenden Erfindung wird somit die Gateelektrode selbstjustiert erzeugt, so daß im Gegensatz zum Stand der Technik die Justierung nicht durch eine Strukturierung einer vollständig aufgetragenen Gateelektrodenschicht mit den dabei vorliegenden begrenzten Justiermöglichkeiten erfolgen muß. Somit kommt das erfindungsgemäße Verfahren ohne zusätzliche Maskenschritte und Lithographieschritte zur Justierung aus. Ferner kann mit dem erfindungsgemäßen Verfahren eine sehr genaue Justierung bewirkt werden, deren Genauigkeit nicht durch Einschränkungen hinsichtlich der begrenzten Justiermöglichkeiten des Belichtungsequipments beeinträchtigt ist.


Erfindungsgemäß wird das Gateelektrodenmaterial vorzugsweise in den taschenförmigen Hohlraum unter der Maskenschicht eingebracht, indem zunächst eine Gateelektrodenmaterialschi-  
cht vollflächig auf die Struktur aufgebracht wird, wobei dieses Material auch in den genannten Hohlraum eindringt und diesen ausfüllt. Nachfolgend wird die vollflächig aufgetragene

Schicht selektiv entfernt, so daß der in dem Hohlraum befindliche Teil des Gateelektrodenmaterials als Gateelektrode verbleibt.

- 5 Weiterbildungen der vorliegenden Erfindung sind in den abhängigen Ansprüchen dargelegt.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend beziehungsweise auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

10

 Fig. 1 bis 8 Querschnittsansichten verschiedener Verfahrensstadien eines bevorzugten Ausführungsbeispiels des erfindungsgemäßen Verfahrens.

15

Bei dem bevorzugten Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird zunächst auf ein Ausgangsmaterial, bei dem es sich vorzugsweise um ein Siliziumsubstrat 2 handelt, eine untere Siliziumoxidschicht ( $\text{SiO}_2$ ) 4 aufgebracht. Auf die untere Siliziumoxidschicht 4 wird eine Siliziumnitridschicht ( $\text{Si}_3\text{N}_4$ ) 6 aufgebracht, auf die wiederum eine obere Siliziumoxidschicht ( $\text{SiO}_2$ ) 8 aufgebracht wird. Die Oxidschicht 4 kann beispielsweise durch eine thermische Oxidation erzeugt werden, während die Siliziumnitridschicht 6 bzw. die Siliziumoxidschicht 8 z.B. in bekannter Weise aus der Gasphase erzeugt bzw. abgeschieden werden können. Die sich ergebende Struktur ist in Fig. 1 dargestellt.

20

25

Nachfolgend werden die obere Oxidschicht 8 und die Siliziumnitridschicht 6 durch einen Lithographieschritt und eine anschließende Ätzung strukturiert, um eine Kante in denselben zu definieren, die einen Bereich der Oxidschicht 4, der von diesen beiden Schichten 6 und 8 bedeckt ist, von einem frei-

30



gelegten Bereich der Oxidschicht 4 trennt, wie in Fig. 2 dargestellt ist. Nach dem Strukturieren der Schichten 6 und 8 wird eine Oxidation durchgeführt, wodurch sich die Dicke der freigelegten  $\text{SiO}_2$ -Schicht 4 erhöht. An der Kante 10 der zuvor

5 strukturierten Nitridschicht 4 entsteht ein sogenannter Vogelschnabel 12, d.h. ein Bereich mit stetig ansteigender Oxiddicke, der auch als Oxidrampe 12 bezeichnet werden kann. Die Form dieser Oxidrampe kann durch die Dicke der Oxidschicht 4, die Dicke der Nitridschicht 6 sowie die Verfahrensparameter bei der durchgeführten Oxidation beeinflusst

10 werden.

Bei dem Oxidationsprozeß entsteht auch auf der Stirnfläche der Nitridschicht 6 an der Kante 10 eine nicht dargestellte

15 Nitridoxid-Schicht, die nach der Oxidation durch eine sehr kurze Oxidätzung entfernt wird.

Nach der Erzeugung des Vogelschnabels bzw. der Oxidrampe 12 wird die Nitridschicht 6 selektiv naßchemisch zurückgeätzt,

20 um unterhalb der als Maskenschicht dienenden oberen Oxidschicht 8, d.h. zwischen der oberen Oxidschicht 8 und der unteren Oxidschicht 4 einen Hohlraum 14 zu erzeugen. Die Tiefe des Hohlraums 14, die der Gatelänge entspricht, kann durch entsprechende Wahl der Ätzparameter eingestellt werden. Die

25 sich ergebende Struktur mit dem taschenförmigen Hohlraum 14 ist in Fig. 4 gezeigt.

Nach der Erzeugung des Hohlraums 14 wird unter Verwendung herkömmlicher Verfahren eine Polysiliziumschicht 16 konform

30 auf der Struktur, die in Fig. 4 gezeigt ist, abgeschieden. Wie in Fig. 5 gezeigt ist, bedeckt die erzeugte Polysiliziumschicht 16 die gesamte Oberfläche der Struktur und füllt ferner den Hohlraum 14 vollständig aus.

In einen nachfolgenden Verfahrensschritt wird die Polysiliziumschicht 16 anisotrop und selektiv zu Siliziumoxid zurückgeätzt, wodurch dieselbe mit Ausnahme der in dem Hohlraum 14 befindlichen Teile vollständig entfernt wird. Dadurch wird  
5 aus der Polysiliziumschicht 16 eine in den Hohlraum 14 eingebrachte Gateelektrode 18 erzeugt, wie in Fig. 6 gezeigt ist. Auf Grund der Tatsache, daß der Hohlraum 14 eine feste räumliche Beziehung zu der Kante 10 aufweist und die Kante 10 eine feste räumliche Beziehung zu der Oxidrampe 12 besitzt, ist  
10 die in dem Hohlraum gebildete Gateelektrode 18 bezüglich der Oxidrampe 12 justiert.

Bei dem gezeigten bevorzugten Ausführungsbeispiel wird nachfolgend die Siliziumoxidschicht 8 anisotrop und selektiv zu  
15 Silizium zurückgeätzt, wobei die sich ergebende Struktur in Fig. 7 gezeigt ist. Nachfolgend wird die als Hilfsschicht dienende Siliziumnitridschicht selektiv zu Silizium und selektiv zu Siliziumoxid geätzt, so daß sich die in Fig. 8 gezeigte Gate-Struktur ergibt. Diese Schritte des selektiven  
20 Entfernens von Siliziumoxidschicht 8 und Siliziumnitridschicht 6 sind optional, abhängig davon, wie die Gateelektrode kontaktiert werden soll.

Die in Fig. 8 gezeigte Struktur kann nun als Ausgangsbasis  
25 für die Erzeugung eines MOS-Transistors dienen. An dieser Stelle sei angemerkt, daß prozeßabhängig Schritte zur Erzeugung der übrigen Transistorstrukturen, wie beispielsweise der Drain-Bereiche oder Source-Bereiche, bereits vor oder während der Durchführung des erfindungsgemäßen Verfahrens zur Erzeugung einer Gate-Struktur durchgeführt werden können.  
30

Die zur Durchführung des erfindungsgemäßen Verfahrens erforderlichen Prozeßschritte können sämtlich mittels herkömmli-

cher Techniken durchgeführt werden, wobei die Wahl geeigneter Abscheidungsverfahren zum Aufbringen der einzelnen Schichten, geeigneter Strukturierungsverfahren, geeigneter Ätzmittel sowie weiterer geeigneter Verfahrensparameter für einen Fachmann offensichtlich sind. Ferner ist klar, daß die oben bezüglich des bevorzugten Ausführungsbeispiels beschriebenen Materialien lediglich beispielhafter Natur sind und andere Materialien mit gleichartigen Eigenschaften statt der beschriebenen verwendet werden können. Beispielsweise kann statt eines Siliziumsubstrats ein Siliziumkarbidsubstrat (SiC) als Substrat 2 verwendet werden.

## Patentansprüche

1. Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor mit folgenden Schritten:

5

Erzeugen einer Schichtfolge aus einer Oxidschicht (4), einer Hilfsschicht (6) und einer Maskenschicht (8) auf einem Substrat (2), wobei die Hilfsschicht (6) und die Maskenschicht (8) strukturiert sind, um eine Kante (10) festzulegen, die einen von diesen Schichten bedeckten Bereich der Oxidschicht (2) von einem freiliegenden Bereich derselben trennt;

10

Durchführen einer Oxidation zum Erzeugen einer Oxidrampe (12) im Bereich der Kante (10);

15

Teilweises Entfernen der Hilfsschicht (6) zur Erzeugung eines Hohlraums (14) vorbestimmter Länge zwischen der Oxidschicht (4) und der Maskenschicht (8); und

20 Einbringen eines Gateelektrodenmaterials in den Hohlraum (14) zum Erzeugen einer Gateelektrode (18).

2. Verfahren nach Anspruch 1, bei dem das Substrat (2) ein Siliziumsubstrat, die Oxidschicht (4) eine Siliziumoxidschicht, die Hilfsschicht (6) eine Siliziumnitridschicht und die Maskenschicht (8) eine Siliziumoxidschicht ist.

25

3. Verfahren nach einem der Ansprüche 1 oder 2, bei dem das Gateelektrodenmaterial Polysilizium ist.

30

4. Verfahren nach einem der Ansprüche 1 bis 3, das ferner einen Schritt des Entferns eines bei der Oxidation auf einer an der Kante (10) befindlichen Seitenwand der Hilfsschicht

(6) gebildeten Oxids vor dem teilweisen Entfernen der Hilfsschicht (6) aufweist.

5 5. Verfahren nach Anspruch 4, bei dem das Oxid auf der Seitenwand der Hilfsschicht (6) durch eine Oxidätzung entfernt wird.

10 6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die Hilfsschicht (6) zur Erzeugung des Hohlraums (14) selektiv naßchemisch zurückgeätzt wird.

15 7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem das Einbringen des Gateelektrodenmaterials in den Hohlraum folgende Schritte aufweist:

Aufbringen einer Gateelektrodenmaterialsicht (16) auf die nach der Erzeugung des Hohlraums (14) vorliegende Struktur, wobei dabei auch der Hohlraum (14) mit dem Gateelektrodenmaterial ausgefüllt wird; und

20 anisotropes und selektives Zurückätzen der Gateelektrodenmaterialsicht außerhalb des mit dem Gateelektrodenmaterial gefüllten Hohlraums.

25 8. Verfahren nach einem der Ansprüche 1 bis 7, das ferner einen Schritt des Entferns zumindest der Maskenschicht (8) zum Freilegen der Gateelektrode (18) aufweist.

30 9. Verfahren nach Anspruch 8, bei dem der Schritt des Entferns zumindest der Maskenschicht einen Schritt des anisotropen und selektiven Zurückätzens der Maskenschicht (8) aufweist.

10. Verfahren nach Anspruch 8 oder 9, das ferner einen Schritt des anisotropen und selektiven Zurückätzens der Hilfsschicht (6) umfaßt.

## Zusammenfassung

Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor.

5

Bei einem Verfahren zur Herstellung einer Gate-Struktur für einen MOS-Transistor wird zunächst eine Schichtfolge aus Oxidschicht (4), Hilfsschicht (6) und Maskenschicht (8) auf einem Substrat (2) erzeugt, wobei die Hilfsschicht (6) und die Maskenschicht (8) strukturiert sind, um eine Kante festzulegen, die einen von diesen Schichten bedeckten Bereich der Oxidschicht (4) von einem freiliegenden Bereich derselben trennt. Nachfolgend wird eine Oxidation durchgeführt, um eine Oxidrampe (12) im Bereich der Kante zu erzeugen. Die Hilfsschicht (6) wird dann teilweise entfernt, um einen Hohlraum vorbestimmter Länge zwischen der Oxidschicht (4) und der Maskenschicht (8) zu erzeugen. Ein Gateelektrodenmaterial wird zum Erzeugen einer Gateelektrode (18) in den Hohlraum eingebracht.

20

Figur 6

25

FIGUR ZUR  
ZUSAMMENFASSUNG

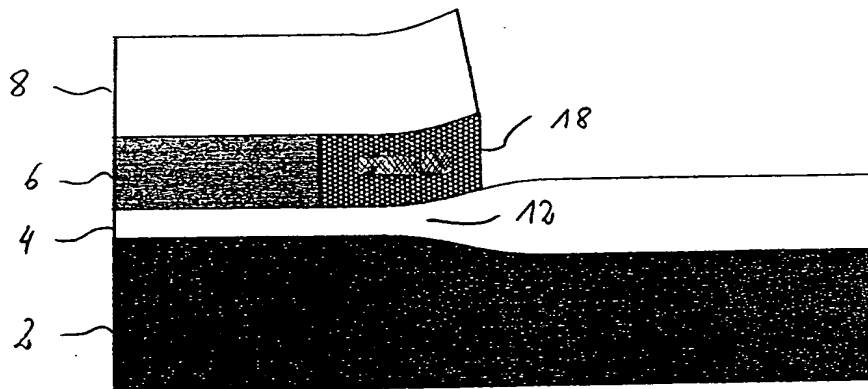


Fig. 6



## Bezugszeichenliste

2	Siliziumsubstrat
4	Untere Siliziumoxidschicht
6	Siliziumnitridschicht
8	Obere Siliziumoxidschicht
10	Kante
12	Oxidrampe
14	Hohlraum
16	Polysiliziumschicht
18	Gateelektrode

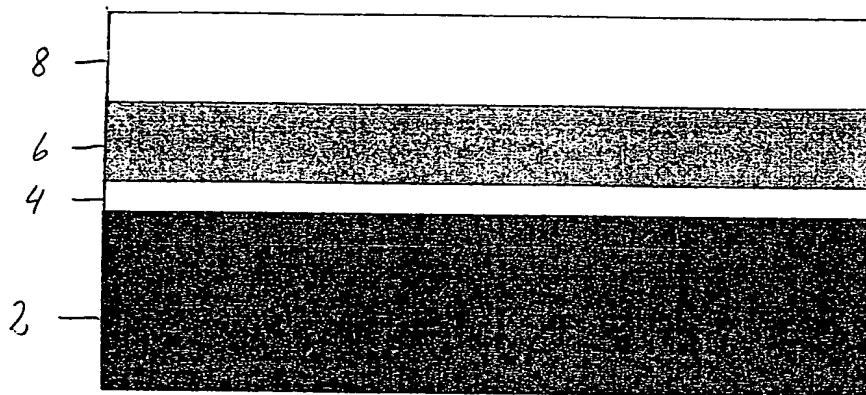


Fig. 1

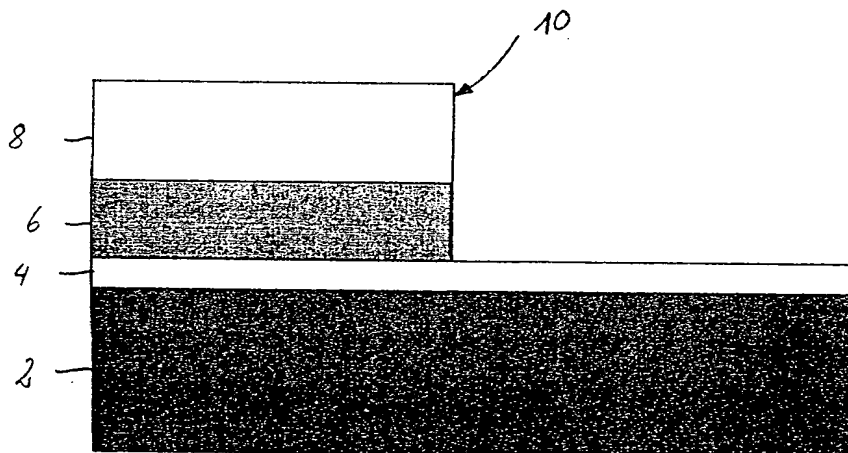


Fig. 2

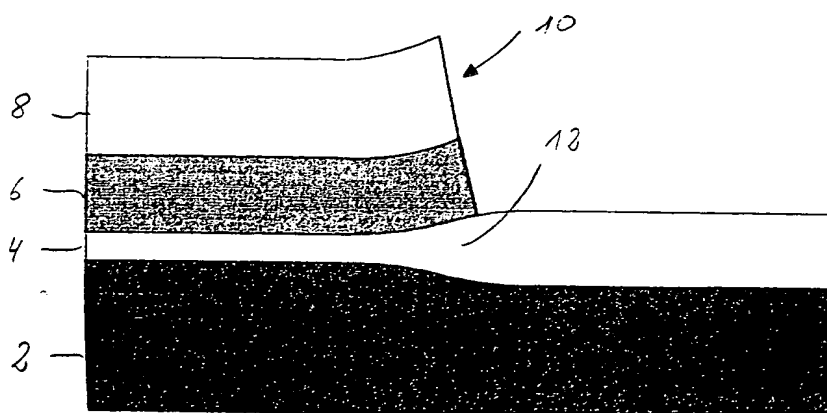


Fig. 3

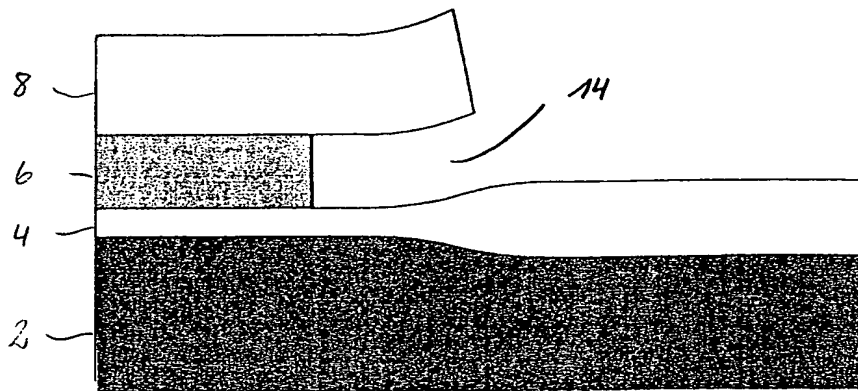


Fig. 4

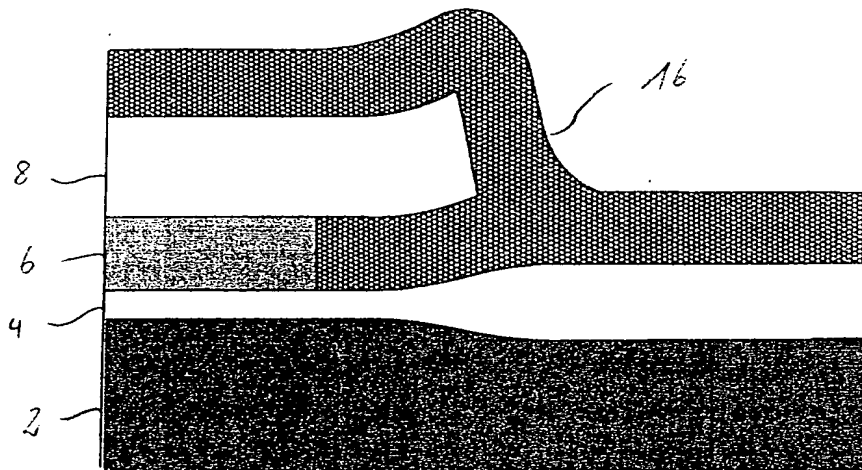


Fig. 5

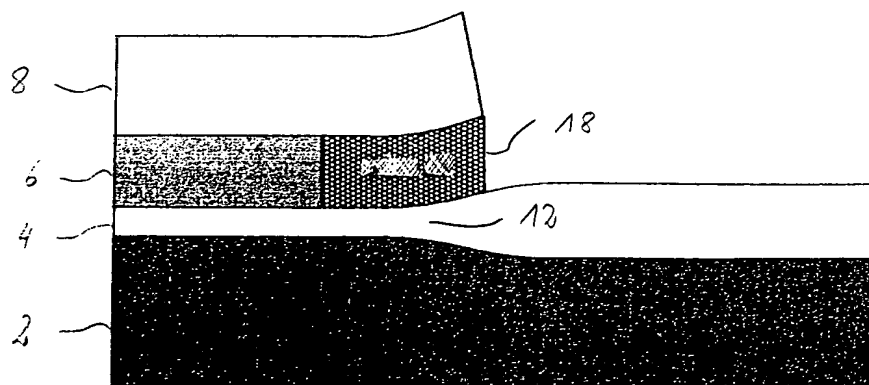


Fig. 6

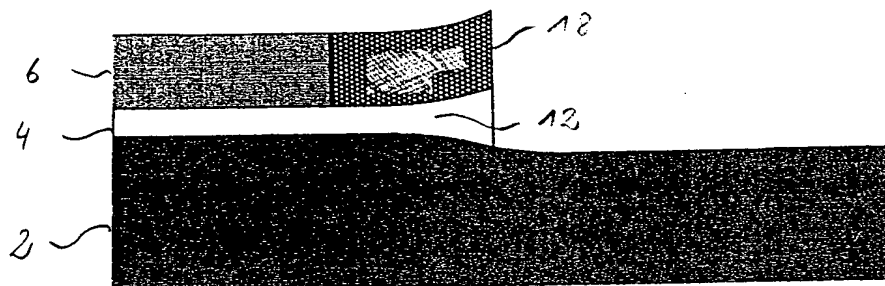


Fig. 7

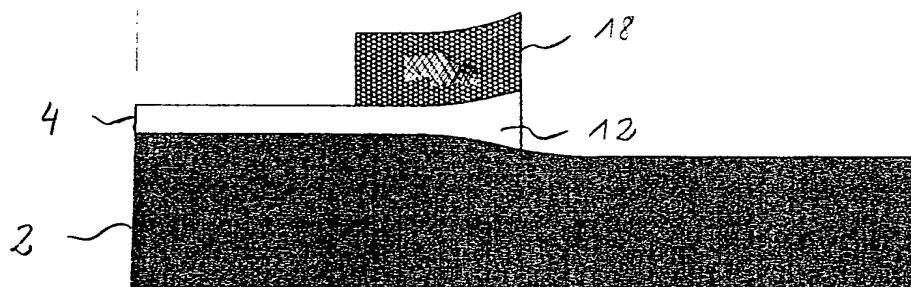


Fig. 8